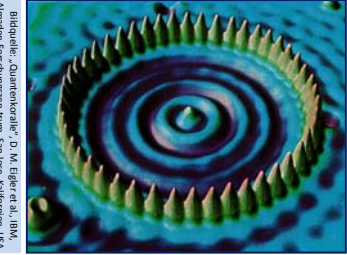


BACHELORARBEIT

IHT-Forschungsgruppe Spintronics & Quantenelektronik



Bildquelle: "Quantenpunkte", D. M. Egger et al., IBM, Ardenner-Forschungszentrum, San Jose, Kalifornien, USA

Planarisierungsmethoden für die Entwicklung des vertikalen Transistors

Bearbeiter: Herr Erdene-ochir Baldanshagdar

Das Ziel dieser Arbeit bestand darin, in die Prozessabfolge eines vertikalen Transistors, die technologischen Schritte Chemical Mechanical Polishing (CMP) von amorphen Silizium und Spin-on Glass (SOG) als Planarisierungsmethoden zu integrieren.

Der CMP Schritt wurde bzgl. minimalen Dishing-Effekt und maximaler geometrischer Selektivität optimiert. Mittels CMP konnte eine sehr gute Planarisierung (kleiner 20 nm) von amorphen Silizium erreicht werden.

Die Strategie des CMP-Schrittes war eine lokal abwechselnde Beanspruchung der Wafer-Oberfläche vom Rand zum Wafer Mittelpunkt. Dies wurde erreicht durch eine angepasste Variation, dem sogenannten Bouncing, der Polierdauer und der CMP-Parametern (z.B. Temperaturentwicklung, Padverschmutzung und -Abnutzung, Druckverteilung, Neigungswinkel des Drehkopfes, Aspektverhältnis...).

Bei der Planarisierung mit SOG konnten auch gute Planarisierungseigenschaften erreicht werden, es ist nun möglich Stufenhöhen von bis zu 1400 nm auf 100 nm zu reduzieren. Die Planarisierung solch "hoher" Stufen wird durch einen Mehrlagenprozess und angepassten Drehzahlen der Lackschleuder erreicht.